

李应钊, 朱广平, 韩国军. 3D NAND闪存多维度噪声耦合错误检测及信道建模[J]. 广东工业大学学报, 2025, 42(6): 86–94. doi: 10.12052/gdutxb.250019.
Li Yingzhao, Zhu Guangping, Han Guojun. Multi-dimensional noise coupling error detection and channel modeling for 3D NAND flash memory[J]. Journal of Guangdong University of Technology, 2025, 42(6): 86–94. doi: 10.12052/gdutxb.250019.

3D NAND闪存多维度噪声耦合错误检测 及信道建模

李应钊, 朱广平, 韩国军

(广东工业大学 信息工程学院, 广东 广州 510006)

摘要: 高性能、高存储密度且低功耗的3D NAND闪存已逐渐成为主流数据存储介质。然而, 其可靠性受到擦写寿命有限、数据保持能力不足、读干扰以及层间差异等噪声因素的显著影响。针对这一问题, 本文开展了3D NAND闪存的实际加噪测试实验, 系统研究了不同噪声耦合条件下的误码率表现。通过对测试数据的深入分析, 提取了对应的阈值电压分布特征, 并构建了适应不同噪声条件的参考电压模型, 以优化闪存的可靠性。实验结果表明, 该参考电压模型可显著降低3D NAND闪存存在噪声干扰下的误码率, 与默认参考电压相比, 误码率降低高达46%。本文提出的参考电压模型为提升3D NAND闪存存在噪声环境下的存储可靠性提供了有效技术手段, 有望推动其在高可靠性存储领域的广泛应用。

关键词: 3D NAND闪存; 参考电压; 固态硬盘技术; 可靠性; 闪存测试; 信道建模; 阈值电压分布

中图分类号: TP333

文献标志码: A

文章编号: 1007-7162(2025)06-0086-09

Multi-dimensional Noise Coupling Error Detection and Channel Modeling for 3D NAND Flash Memory

Li Yingzhao, Zhu Guangping, Han Guojun

(School of Information Engineering, Guangdong University of Technology, Guangzhou 510006, China)

Abstract: 3D NAND Flash memory has emerged as a mainstream data storage medium due to its high performance, high storage density and low power consumption. However, its reliability is significantly affected by multiple factors such as limited program/erase endurance, data retention issues, read disturb, and inter-layer variations, which introduce noise and degrade performance. To address these challenges, this paper performs noise injection experiments on 3D NAND Flash memory to systematically investigate the bit error rate (BER) under various noise coupling conditions. By analyzing the experimental results, the corresponding threshold voltage distributions were extracted, and a reference voltage model tailored to different noise conditions was developed to improve the reliability of the Flash memory. Experimental results demonstrate that the proposed reference voltage model effectively reduces the BER of 3D NAND Flash memory under noise interference by up to 46% when compared to the default reference voltage. The reference voltage model provides an effective technical solution to improve the storage reliability of 3D NAND Flash memory in noisy environments, and it is expected to promote its wide application in high-reliability storage domains.

Key words: 3D NAND flash; reference voltage; solid-state drive; reliability; flash memory testing; channel modeling; threshold voltage distribution

近年来, 互联网技术与人工智能技术的飞速发展推动了数据总量的持续增长。在此背景下,

NAND闪存因其读写速度快等优势, 成为了当前主流的存储介质, 并在消费电子产品和企业存储领

收稿日期: 2025-01-19 录用日期: 2025-04-24 网络首发日期: 2025-05-22

基金项目: NSFC-广东省联合基金资助项目(U2001203)

作者简介: 李应钊(1999-), 男, 硕士研究生, 主要研究方向为NAND特性分析, E-mail: 2112203109@mail2.gdut.edu.cn

通信作者: 韩国军(1974-), 男, 教授, 博士, 主要研究方向为信息论与差错控制编译码技术、存储器件与系统、智能通信与车联网等, E-mail: gjhan@gdut.edu.cn

域得到了广泛应用。为了满足市场对存储密度的需求,3D NAND技术在垂直堆叠和多级存储单元设计方面均取得了新突破。在多层堆叠方面,200~400层的闪存已得到量产。在多级存储单元设计方面,三级存储单元(Trinary-Level Cell, TLC)和四级存储单元(Quad-Level Cell, QLC)技术已被广泛采纳^[1-3]。在未来的NAND闪存技术发展进程中,更高的多层堆叠以及更密集的多级电平技术是主要发展方向。

然而,相比传统平面闪存,3D NAND闪存因其三维堆叠结构在可靠性方面面临更严峻挑战。在3D NAND闪存中,擦除写入循环(Program and Erase Cycle, PEC)、数据保持(Data Retention)、读干扰(Read Disturb)及层间制造差异(Layer Variation)等多维噪声耦合效应显著加剧,导致误码率(Bit Error Rate, BER)攀升^[4-6]。这些噪声通过干扰阈值电压分布(Threshold Voltage Distribution),直接影响存储状态的判决精度。因此,构建能综合噪声耦合的闪存信道模型,并基于此优化参考电压(Reference Voltage),是提升3D NAND可靠性的关键。

近年来,针对3D NAND闪存的可靠性问题,学术界在闪存错误检测与信道建模方面展开了系统性研究。现有工作主要围绕两类技术路线展开:第一类为基于浮栅型(Floating Gate, FG)闪存的错误表征,例如Xiong等^[7]针对FG MLC闪存的常见错误进行了误码率表征工作,以及Feng等^[8]对FG TLC闪存中PEC与Data Retention的错误进行研究。第二类为电荷捕获型(Charge Trap, CT)闪存的错误表征,如Wu等^[9]对CT TLC闪存的阈值电压偏移特性进行研究。随着CT型闪存因高密度与低功耗优势成为主流,其多维度噪声耦合机制亟待深入探索。

在闪存信道建模方向,Luo等^[10]提出了一种考虑PEC、Data Retention以及温度影响的阈值电压统一模型。Tian等^[11]聚焦Layer Variation这一特性,提出了数据保持错误估计模型。Li等^[12]开展了在PEC影响下的参考电压建模研究。然而,当前关于闪存信道模型的多数研究仅针对单一或双噪声耦合场景,对于多维度噪声耦合的考虑相对较少。

当前3D CT TLC NAND闪存是消费级和企业级存储的主流方案。TLC在性能、成本与可靠性之间取得了较好的平衡,且其噪声耦合机制的研究对QLC也具有一定参考价值。为此,本文针对3D CT TLC NAND闪存,开展错误检测与信道建模研究。针对PEC、Data Retention、Read Disturb以及Layer Variation这几种影响闪存可靠性的噪声,本文建立相应的参考电压模型,并计算不同噪声影响下的最优参考电

压。通过优化参考电压,有效降低读取3D NAND闪存时的错误率,显著提升3D NAND闪存的可靠性。实验验证表明,与默认无偏移的参考电压相比,本文提出的最优参考电压模型能够将误码率最高降低46.0%,充分证明了所提模型的性能优势。

1 3D NAND闪存简介

本节简要介绍3D NAND闪存的结构、阈值电压分布以及错误类型。

1.1 3D NAND闪存结构

3D NAND闪存的内部结构组成如图1所示,在x-z平面中,存储单元(Cell)是最小的物理存储单元,负责存储数据。字线(Word Line, WL)作为存储单元控制栅极(Control Gate, CG)的互联导线,沿x轴方向水平排列,通过共享电压来控制同一行存储单元的读写操作。存储串(String)是沿垂直方向(z轴)串联的多个存储单元组成的导电通道,每个String连接一条位线(Bit Line, BL)与源线(Source Line, SL),形成电流通路。由字线和串组成的平面阵列被称作块(Block),每个块共享同一个基底(Substrate)。沿着y轴方向排列的所有块组成一个逻辑单元(Logic Unit Number, LUN)。3D NAND闪存堆叠的层数定义为一个块上沿z轴排列的字线数量^[13]。

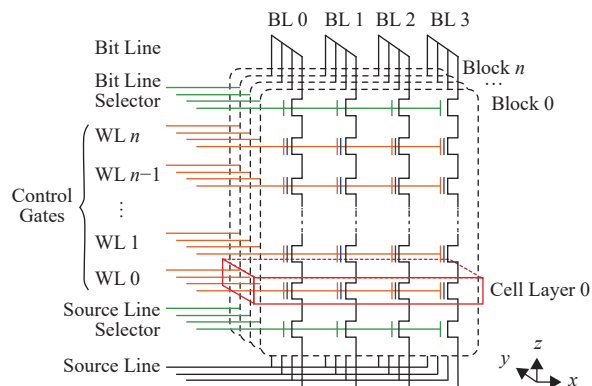


图 1 3D NAND闪存结构及组成

Fig.1 Structure and composition of 3D NAND Flash memory

其中Cell的内部结构如图2所示,根据其电荷存储层的材料差异,Cell可分FG型和CT型两种。其中,FG型NAND闪存Cell采用导体材料作为浮栅,而CT型NAND闪存Cell的电荷存储层则采用绝缘的电荷陷阱材料。这种材料差异导致两者在某些性能表现上存在显著差异。

1.2 3D NAND闪存國值电压分布

NAND闪存通过判断电荷存储层中的电荷量来

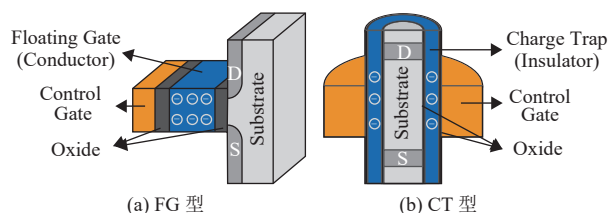


图2 闪存Cell内部结构

Fig.2 Internal structure of Flash Cell

确定存储状态,不同存储状态对应不同的阈值电压分布。对于TLC NAND闪存,每个Cell可以存储3比特的数据。即最低有效位(Least Significant Bit, LSB)、中间有效位(Central Significant Bit, CSB)和最高有效位(Most Significant Bit, MSB),对应阈值电压上的8个存储状态,如图3所示。当存储或读取数据时,可根据7个不同参考电压 V_{ref} 对相应的存储状态进行编程或识别。然而,由于可供操作的阈值电压范围是有限的,随着工艺进程的升级,存储窗口变窄,导致存储状态的分布排列更紧密。经过噪声干扰后,可能会产生分布偏移、重合等情况,从而导致读取时产生错误。

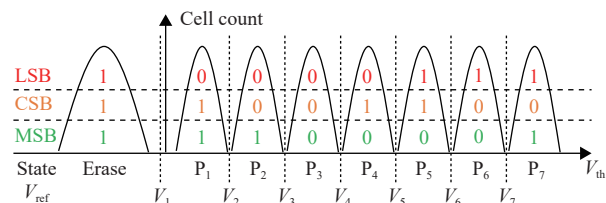


图3 3D CT TLC NAND闪存的阈值电压分布示意图

Fig.3 Threshold voltage distribution diagram of 3D CT TLC NAND flash memory

1.3 3D NAND闪存的错误类型

在NAND闪存中,错误是指数据在编程后,经过一段时间的存储,再次读取时与原始编程数据不一致的现象。此前针对3D NAND闪存错误的研究主要集中在PEC错误和Data Retention错误上,这两种错误是NAND闪存中最主要的错误类型。除此之外,还有Read Disturb错误以及Layer Variation错误,其中层间差异性错误是3D NAND闪存特有的。

在3D NAND闪存的生命周期中,PEC错误是不可避免的。PEC错误源于闪存单元的物理退化机制,每次擦除操作需在衬底施加高电压,导致隧道氧化层承受电应力并逐渐磨损,削弱其对电荷的束缚能力。相应地,阈值电压分布变得不稳定,不同状态的电压分布开始重叠。这种重叠使得在读取闪存数据时,实际存储的状态可能被误判为相邻的存储状态,从而产生错误。对于TLC NAND闪存而言,由于其具有8个存储状态,因此受PEC错误的影响更为严重^[14]。

Data Retention错误是指3D NAND闪存的存储状态出现负偏移,导致读取时的存储状态被错误判定,进而产生错误。随着PEC次数的增加,Data Retention错误的程度会加剧。这是因为隧道氧化层在经历多次PEC操作后逐渐磨损,使得存储在Cell内的电荷更容易流失,从而加剧了Data Retention错误的严重性^[15-18]。

Read Disturb错误是3D NAND闪存中由于频繁读取操作引起的错误。在读取一个字线时,目标字线的控制极被施加参考电压以进行读取操作,而其他字线则被施加导通电压以检测目标字线的电流情况。然而,这种导通电压可能会导致其他字线发生轻微编程,进而产生异常电荷注入,使得这些字线上的存储状态发生变化,从而导致读取数据时产生错误。Read Disturb错误随着读取次数的增加而加剧,同时,它也受到PEC的影响。隧道氧化层在经历多次PEC操作后逐渐磨损,使得其他字线更容易产生异常电荷注入,从而导致Read Disturb错误更加严重^[19]。

Layer Variation错误源自3D NAND闪存不同层间制造工艺的差异,这种差异导致其电学性能产生变化,进而引发阈值电压分布的轻微变化。若采用同一参考电压进行读取,不同层的误码率存在差异。随着层数的增加,这种层间差异性也会更加显著^[20]。

2 实验平台及步骤

为了深入探究3D NAND闪存的错误特性,并对其阈值电压分布进行信道建模。本文选用基于FPGA平台的Nanocycler闪存芯片测试仪作为3D NAND闪存的实验测试设备。如图4所示,该设备可对NAND闪存芯片在高、低温下进行读取、编程、PEC老化循环、数据保持、误码率分析以及时延分析等操作。

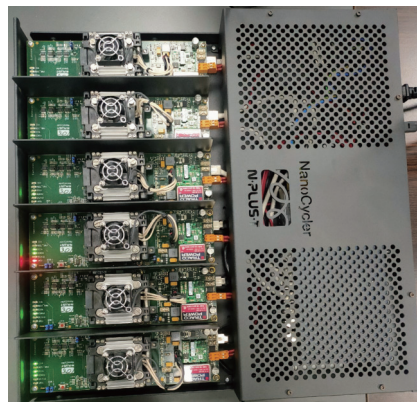


图4 Nanocycler闪存芯片测试仪

Fig.4 Nanocycler Flash memory chip tester

实验所采用的芯片为铠侠(原东芝)BiCS3系列的3D NAND闪存芯片,其具体参数如表1所示。该实验芯片属于电荷捕获型(CT)闪存芯片,型号为TH58TFT1T23BA8H。此型号芯片在垂直方向上堆叠了64层,每个块包含768个页,每页的大小为18 336字节。

表1 实验芯片参数
Table 1 Experimental chip parameters

芯片参数	参数值
芯片型号	TH58TFT1T23BA8H
存储单元类型	电荷捕获型(CT)
块大小	768页
页大小	18 336字节
层数	64层

为了检测3D NAND闪存存在多维度噪声耦合情况下的错误情况。本文设计了3组实验用于测试噪声耦合下的误码率并扫描阈值电压分布。对NAND闪存的错误衡量主要以原始误码率(Raw Bit Error Rate, RBER)为参考,业界常用原始误码率对数(lgRBER)作为单位,其定义如式(1)所示。

$$\lg RBER = \lg \left(\frac{\text{error bits}}{\text{total bits}} \right) \quad (1)$$

其中,error bits表示错误比特数,total bits表示总比特数。扫描阈值电压分布则能得到不同错误影响下的3D NAND闪存信道实际模型,并以此为基础建立最佳参考电压模型。在实验中,采用了Read Retry的方法,如图5所示。为了得到 P_3 状态的阈值电压分布情况,首先以 P_3 的默认参考电压读取数据,记录此时无偏移情况下的 P_3 状态Cell数量。然后将参考电压以固定步长正向偏移,重新读取得到新的 P_3 状态的Cell的数量。通过计算上一次读取的Cell数量与偏移后Cell数量的差值,即可得到该偏移电压区间内的Cell计数数量^[21]。

2.1 实验设计

由于PEC对Data Retention、Read Disturb以及Layer Variation均有影响,本文在检测这3种噪声的同时,加入PEC的耦合影响,以检测各种耦合组合影响下的3D NAND闪存错误情况和阈值电压分布情况,相关实验设计如表2所示。

在PEC-Retention实验中,设计了从0到10 000共11个测试点,PEC次数以1 000为步长线性增长。随机选取实验所用3D NAND芯片中的11个闪存块,分别进行对应次数的PEC循环老化处理。随后,向这11个

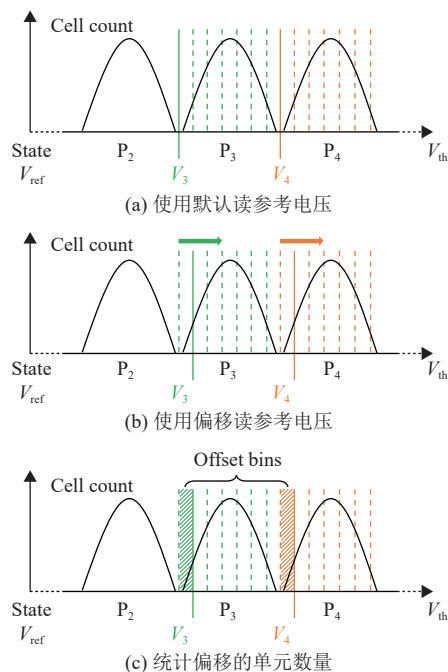


图5 Read Retry阈值电压扫描基本原理步骤

Fig.5 Read retry basic procedure of threshold voltage scanning

块写入生成的随机数据,放置一段时间来模拟Data Retention过程。最后读取数据以检测误码率并扫描阈值电压分布情况。

表2 噪声耦合组合设计
Table 2 Noise coupling combined design

实验组合	噪声干扰1	噪声干扰2
PEC-Retention	PEC	Data Retention
PEC-Read	PEC	Read Disturb
PEC-Layer	PEC	Layer Variation

此实验中设计了5个Data Retention时长测试点,这些时长以10倍的比率递增,范围从1 min到10 000 min。对于100 min后的Data Retention时长,采用了高温加速老化的方法。根据固态技术协会(JEDEC)的固态硬盘要求及耐久测试标准文件JESD218B的老化标准^[22],将高温老化温度设定为70 ℃。同时设定芯片的工作模式如下:模拟每天工作16 h,工作温度为40 ℃;休眠8 h,休眠温度为30 ℃。基于此设定,计算出对应的老化等效时间,具体数值如表3所示。

对于PEC-Read实验,基于PEC-Retention实验所选取的测试块,先写入生成的随机数据。随后对每个测试块分别进行特定次数的读取操作,并在每次读取后测试误码率情况以及扫描阈值电压分布。实验中设计的读次数分别为1、1 000、2 000、3 000、4 000和5 000。

表 3 高温老化等效Data Retention
Table 3 High temperature aging equivalent Data Retention

模拟室温时长/min (2/3 40 ℃+1/3 30 ℃)	高温等效时长/min (恒温 70 ℃)
1	0.02
10	0.21
100	2.14
1 000	21.38
10 000	213.80

在PEC-Layer Variation实验中,基于PEC-Retention实验中Data Retention时长为1 min的数据集。对数据进行分层处理,以获取不同PEC次数下各层的误码率及阈值电压分布情况。实验所用芯片共有64层,层编号为0到63。

2.2 实验流程

实验的整体流程如图6所示。首先,随机选取3D

CT TLC NAND闪存上的11个闪存块进行PEC循环操作。每次循环包括块擦除、写入随机数据和读取操作,以生成不同磨损状态的块。随后,进行Data Retention加噪实验,该实验流程是对不同PEC磨损程度的块写入随机数据后,依次进行高温等效Retention模拟、读取数据、扫描阈值电压分布的操作。随后将读取的数据与原始数据做对比,以分析误码率和阈值电压分布情况,从而获得PEC-Retention的错误情况。接着,进行Read Disturb加噪实验,该实验流程是对不同PEC磨损程度的块写入随机数据后,进行多次读取操作及阈值电压扫描。经过一定的读取次数后,对比读取数据与原始数据以分析误码率和阈值电压分布情况,获取PEC-Read的错误情况。最后,从PEC-Retention实验中选取Retention时间最短的错误数据进行分层分析,以获得PEC-Layer的错误情况。

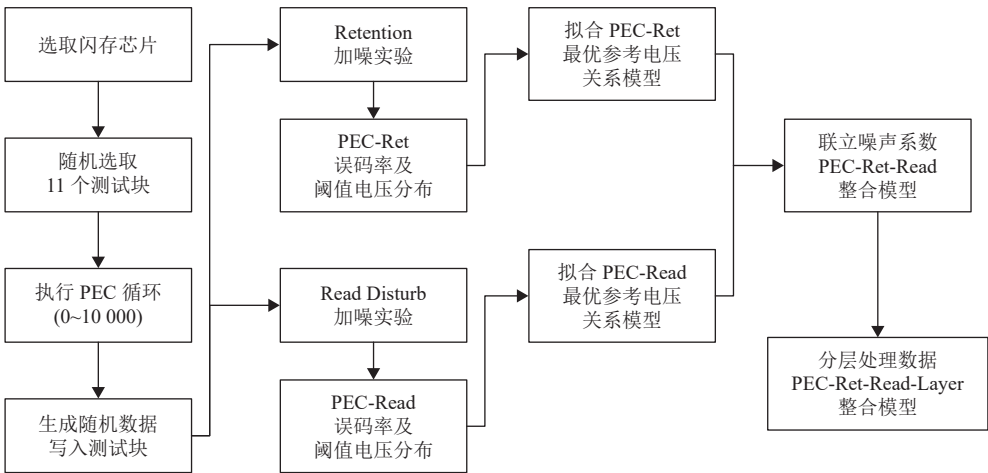


图 6 3D NAND 闪存加噪实验及错误特征分析流程框图
Fig.6 3D NAND flash noise experiment and error characteristic analysis flow diagram

2.3 数据处理及建模过程

针对阈值电压扫描所获得的离散采样点,为了揭示其变化规律,本文采用高斯拟合方法对每个状态进行拟合处理,从而得到如式(2)所示的表达式。

$$y = \sum_{i=1}^n a_i e^{\left[-\left(\frac{x-b_i}{c_i}\right)^2\right]} \tag{2}$$

其中, a_i 为幅值、 b_i 为均值、 c_i 为标准差。为了获得最优参考电压,仅需计算每对相邻高斯分布的交点即可。至此,实验已获取了不同噪声耦合情况下对应的最优参考电压值。最后需要建立噪声与最优参考电压的关系模型。根据Luo^[10]先前考虑了PEC和Data Retention噪声耦合的模型建模工作,本实验在此基础上增加了Read Disturb和Layer Variation的噪声考

虑。Data Retention也类似地采用了对数的表达形式,同时为了更精准地描述Early Loss现象,Data Retention采用了二阶项。其整体模型表达式见式(3)。

$$V_{opt} = a + b \times \text{PEC} + c \times \lg \text{Ret} + d \times \text{Read} + e \times \text{Layer} + f \times \text{PEC} \times \lg \text{Ret} + g \times \text{PEC} \times \text{Read} + h \times \text{PEC} \times \text{Layer} + i \times \lg^2 \text{Ret} \tag{3}$$

其中,PEC、Ret、Layer和Read分别为不同噪声的计数值, $a \sim i$ 为模型最终拟合系数。由于多维度的最优参考电压模型难以直接拟合获得,本文在建模过程中采用了线性叠加的方法逐步扩展模型维度。首先,基于PEC-Retention数据,通过多项式拟合建立了最优参考电压模型,得到了偏置分量 a_0 、与PEC相关的磨损系数 b 、与Data Retention相关的系数 c 、 i 以及PEC-

Retention耦合系数 f 。其次,将偏置分量 a_0 和PEC磨损系数 b 作为约束条件,用于构建PEC-Read最优参考电压模型。通过多项式拟合得到与Read相关的系数 d 和PEC-Read耦合系数 g 。最后,将PEC磨损系数 b 用于PEC-Layer最优参考电压模型的构建,通过多项式拟合得到新的偏置分量 a_1 、与Layer相关的系数 e 以及PEC-Layer耦合系数 h 。当偏置分量为 a_0 时,结合PEC、

Data Retention和Read的相关系数,构建了一个涵盖PEC、Data Retention和Read Disturb噪声耦合的多维最优参考电压模型。而当偏置分量为 a_1 时,进一步结合Layer系数,构建了一个涵盖PEC、Data Retention、Read Disturb和Layer Variation噪声耦合的多维最优参考电压模型。通过多项式拟合的方法,本文得到了如表4所示的模型系数。

表4 最优参考电压模型系数
Table 4 Optimal reference voltage model coefficients

系数	V_1	V_2	V_3	V_4	V_5	V_6
a	1.841×10^1	3.422×10^{-1}	4.992×10^1	6.544×10^1	8.209×10^1	9.845×10^1
b	5.388×10^{-5}	6.008×10^{-5}	7.810×10^{-5}	1.063×10^{-4}	1.097×10^{-4}	1.073×10^{-4}
c	1.911×10^{-1}	3.199×10^{-1}	3.285×10^{-1}	2.399×10^{-1}	2.960×10^{-1}	3.397×10^{-1}
d	-6.076×10^{-6}	7.848×10^{-6}	4.225×10^{-6}	1.030×10^{-5}	2.038×10^{-5}	1.128×10^{-5}
e	-2.573×10^{-2}	-2.143×10^{-2}	-1.748×10^{-2}	-1.251×10^{-2}	-8.152×10^{-3}	-1.034×10^{-2}
f	6.312×10^{-6}	-2.750×10^{-6}	-9.218×10^{-6}	-1.684×10^{-5}	-2.954×10^{-5}	-3.879×10^{-5}
g	2.740×10^{-8}	1.465×10^{-8}	7.914×10^{-9}	3.828×10^{-9}	8.855×10^{-10}	2.283×10^{-9}
h	1.331×10^{-7}	-2.116×10^{-7}	-4.914×10^{-7}	-8.007×10^{-7}	-1.340×10^{-6}	-1.859×10^{-6}
i	-6.432×10^{-2}	-1.124×10^{-1}	-1.294×10^{-1}	-1.177×10^{-1}	-1.475×10^{-1}	-1.553×10^{-1}

3 结果分析及验证

本文从原始误码率和阈值电压分布变化情况两个方面对3D NAND闪存的错误情况进行了分析,并通过最优参考电压模型计算偏移量用于实际验证模型效果,最后评估了模型的通用性及开销。

3.1 误码率分析

在对3D CT NAND闪存进行加噪实验后,通过测试平台读取数据并与原始数据进行对比,能够获得闪存的误码率情况。实验结果涵盖了以下3种噪声耦合情况:PEC-Retention噪声耦合下的误码率情况、PEC-Read噪声耦合下的误码率情况以及PEC-Layer噪声耦合下的误码率情况,如图7所示。

在PEC-Retention噪声耦合的情况下,在相同的PEC噪声下,Retention时间越长,误码率呈现上升趋势。而在Retention时间固定时,误码率随PEC次数增加而上升。这表明PEC次数的增加导致3D CT NAND闪存性能衰减,进而使其在存储数据时的可靠性降低。Retention时间越长,受PEC次数的影响越显著,即两种噪声的耦合效应加剧了3D CT NAND闪存可靠性的下降。此外,测试结果显示,在Retention过程中,误码率先降低后升高,这一现象与Luo^[10]在其研究中的发现一致。

对于PEC-Read噪声耦合的情况,在相同的PEC噪声下,读取次数越多,误码率越高。而在相同的读取次数下,误码率随着PEC次数增加而上升。这

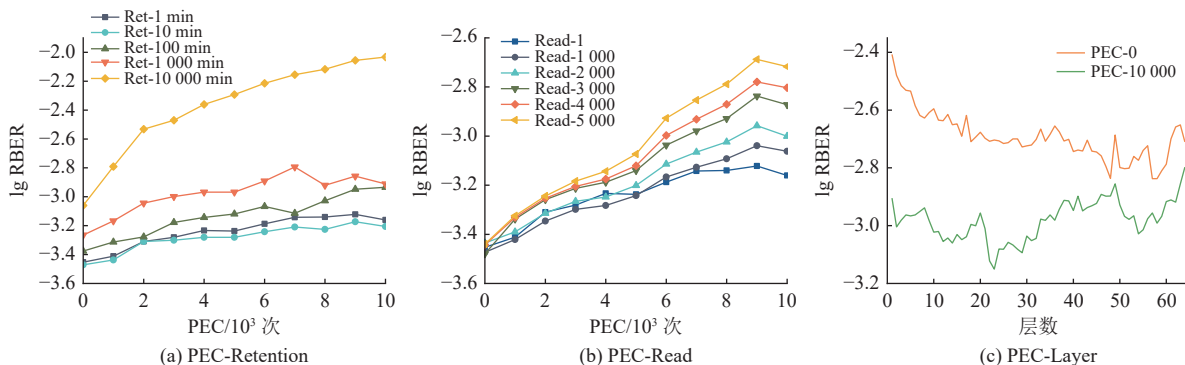


图7 3D CT NAND闪存存在不同噪声组合下的误码率

Fig.7 RBER of 3D CT NAND flash memory under different noise combinations

同样说明PEC给闪存带来了性能衰减,使得在经过多次读取后,存储的数据可靠性降低。

在PEC-Layer噪声耦合的情况下,随着PEC次数增加,闪存的每一层误码率都增加。同时,层间误码率的变化趋势也随着PEC次数的增加而发生显著变化。这表明,PEC次数的增加不仅加剧了单层的性能衰减,还进一步放大了层间差异性对3D CT NAND闪存可靠性的影响。

3.2 阈值电压分布分析

为了建立不同噪声下的最优参考电压模型,首先需要对不同噪声影响下的阈值电压分布情况进行

分析。由于噪声耦合影响下的阈值电压分布是多组三维数据,为了更直观地反映阈值电压的变化情况,本文采用热力图来表示不同噪声下的阈值电压分布,如图8所示。

在PEC-Retention噪声组合的热力图中,每一行(共5行)代表一种Retention时间,其中又由不同的PEC次数下的阈值电压计数组成。可以发现阈值电压分布随着Retention时间增加导致负偏。同时随着PEC次数的增加,每个状态的阈值电压分布的峰值降低且分布变宽,这表明PEC对Data Retention噪声具有显著的加剧作用。

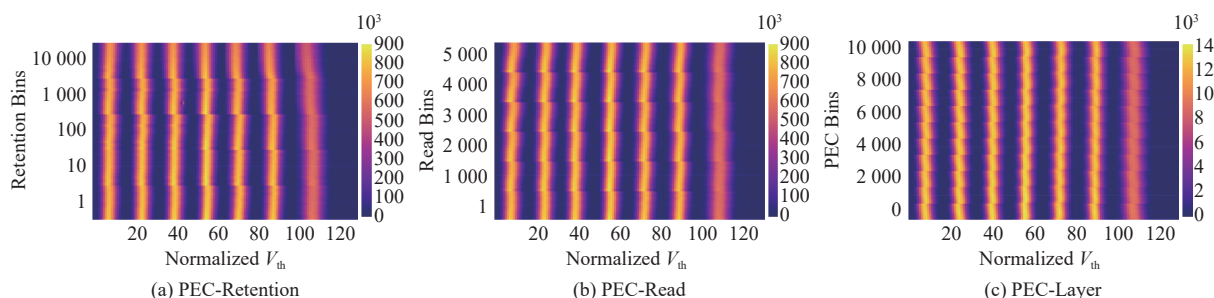


图8 3D CT NAND闪存在不同噪声组合下的阈值电压分布热力图

Fig.8 Threshold voltage distribution heatmaps of 3D CT NAND flash memory under different noise combinations

在PEC-Read噪声组合的热力图中,每一行(共6行)代表一种读次数状态,其中又由不同的PEC次数下的阈值电压计数组成。将读次数为1的热力分布与读次数为5 000的热力分布对比可以发现,读取次数为1的阈值电压分布趋势随着PEC的增加基本保持一致,而读取次数为5 000的热力分布随着PEC的增加产生了明显的正偏现象,这表明PEC对Read Disturb噪声有加剧的作用。

在PEC-Layer噪声组合的热力图中,每一行(共11行)代表一种PEC磨损状态,其中又由3D NAND闪存各层的阈值电压计数组成。可以发现,随着PEC的增加,各层的阈值电压分布趋势并没有明显偏移,最主要的影响则是各状态的分布峰值降低,分布变宽,这说明PEC对Layer Variation的层间差异性有轻微的影响。

3.3 最优参考电压模型效果验证

通过计算不同噪声下的阈值电压分布的交点,本文能够得到不同噪声情况下最优的判决参考电压,并以此建立不同噪声情况下的最优参考电压模型。其中模型如式(3)所示,模型系数如表4所示。由于读参考电压并不能为3D NAND闪存中不同层数进行单独设置,验证中的模型计算采用了层数平均值代表所有层数的参考电压。为了验证所提模型在不

同噪声条件下对3D NAND闪存可靠性提升的有效性,本文采用实际验证的方法。随机选取了4个验证Block,并对其采用不同于实验的噪声组合进行加噪实验。首先,使用默认参考电压读取数据并测试误码率。随后,使用模型计算得到的参考电压读取数据并再次测试误码率。通过对比两次测试的误码率结果,评估模型的性能。验证所采用的噪声组合情况如表5所示。

表5 验证噪声组合设计

Table 5 Verification noise combination design

序号	PEC	Retention/min	Read times
验证1	2 500	60	500
验证2	7 500	60	500
验证3	2 500	6 000	7 500
验证4	7 500	6 000	7 500

经过实际测试平台的验证,采用模型计算得到的最优参考电压进行误码率测试。相较于使用默认参考电压读取3D CT NAND闪存,误码率均有不同程度的降低,如图9所示。具体而言,采用模型最优参考电压对3D CT NAND闪存进行读取时,误码率最高可降低46.0%,在验证过程中,误码率相较于默认电压情况下平均降低了30.0%。

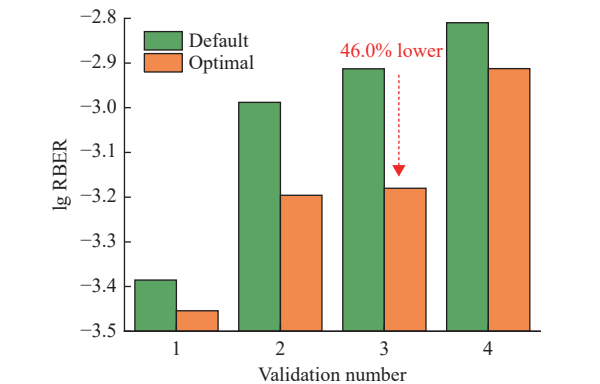


图 9 模型最优参考电压与默认参考电压误码率对比

Fig.9 Comparison of RBER between the optimal reference voltage and the default reference voltage

3.4 最优参考电压模型通用性验证

为了验证模型在其他 3D NAND 闪存芯片上的有效性, 本文选用了镁光的 3D FG TLC NAND 闪存芯片作为验证芯片。其具体参数如表 6 所示, 该验证芯片在芯片参数、电荷存储层材料、厂商上均区别于前文所用到的芯片, 能够很好地验证模型对于不同类型闪存芯片的通用性。

表 6 实验验证芯片参数	
Table 6 The parameters of the chip verified by experiments	
芯片参数	参数值
芯片型号	MT29F1T08EEHAF
存储单元类型	浮栅型(FG)
块大小	2 304 页
页大小	18 592 字节
层数	66 层

依据 2.3 小节的方案, 对验证芯片进行建模处理, 得到类似表 4 的模型系数, 其模型如式 (3) 所示。与 3.3 小节采用相同的实际验证方法, 验证所采取的噪声组合情况如表 5 所示。

经过实际测试平台的验证, 在验证芯片上采用模型计算得到的最优参考电压进行误码率测试, 实验结果如图 10 所示。实验数据显示, 当采用模型优化的最优参考电压读取被验证芯片时, 其误码率较默认电压配置显著下降, 最高降幅达 28.5%, 平均降幅为 20.0%。该结果说明本文提出的模型方案对于其他类型的闪存芯片仍然具备通用性。

3.5 最优参考电压模型开销评估

本文所提出的最优参考电压模型基于多项式拟合, 其核心思想是通过预存模型系数表来实现低开销的实时调整。因此, 模型在实施过程中产生 2 种主

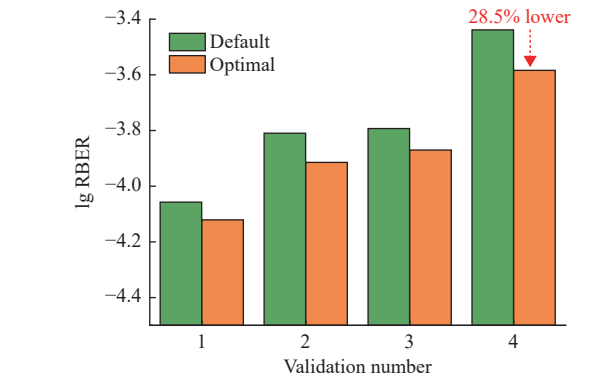


图 10 验证芯片的最优参考电压模型效果验证

Fig.10 Verification of the optimal reference voltage model effect of the verification chip

要开销。首先是存储开销, 模型系数已通过离线拟合确定 (如表 4 所示), 每个参考电压 ($V_1 \sim V_6$) 对应 9 个系数, 共需存储 54 个浮点参数。以单精度浮点数 (4 字节) 计算, 总存储量仅为 216 字节。这一开销在现代闪存控制器或嵌入式系统的存储资源中几乎可忽略不计。

其次是计算开销, 实时计算时, 最优参考电压模型 (见式 (3)) 仅需代入当前噪声参数 (如 PEC 次数、Retention 时间等), 执行若干乘法和加法操作。以典型嵌入式处理器为例, 单次计算可在数十时钟周期内完成, 不会引入显著延迟。此外, 噪声参数的变化频率较低, 更新参考电压的触发周期较长, 进一步降低了计算负载。

4 结论

3D CT NAND 闪存的可靠性受到多种噪声干扰的影响。在本文中, 借助 NAND 闪存实测平台, 对 3D CT NAND 闪存进行了针对不同噪声耦合情况下的误码率测试、阈值电压分布测试以及最优参考电压的建模。测试过程中, 观察到了 PEC 加剧 Data Retention 以及 Read Disturb 噪声干扰的现象, 这表明在 3D NAND 闪存中 PEC 噪声与其他噪声存在耦合现象。本文通过分步建模, 建立了关于 PEC、Data Retention、Read Disturb 以及 Layer Variation 噪声的最优参考电压模型, 通过实验验证, 得到了最高降低 46.0%、平均降低 30.0% 的误码率的性能提升, 有效提升了 3D CT NAND 闪存存在多维度噪声影响下的可靠性。

参考文献:

[1] LEE G H, HWANG S, YU J, *et al.* Architecture and process integration overview of 3D NAND flash technologies[J]. Applied Sciences, 2021, 11(15): 1-18.

- [2] FRICKEY R, DOLLER J, NORTON R, *et al.* Comparing the reliability of solid-state drives based on TLC and QLC NAND flash memories[C]//2024 International Reliability Physics Symposium. Grapevine: IEEE, 2024: 1-3.
- [3] GODA A, MUCHHERLA K K, FEELEY P. Reliability of 3D NAND flash for future storage systems[C]//2023 International Reliability Physics Symposium. Monterey: IEEE, 2023: 1-10.
- [4] ZAMBELLI C, MICHELONI R. Improving 3D NAND flash memories reliability: a cross-layer perspective[C]//2024 International Symposium on the Physical and Failure Analysis of Integrated Circuits. Singapore: IEEE, 2024: 1-6.
- [5] ZAMBELLI C, CRIPPA L, MICHELONI R, *et al.* Investigating 3D NAND flash read disturb reliability with extreme value analysis[J]. *IEEE Transactions on Device and Materials Reliability*, 2021, 21(4): 486-493.
- [6] REN T, LI Q, YE M, *et al.* Read disturb and reliability: the complete story for 3D CT NAND flash[C]//2023 12th Non-Volatile Memory Systems and Applications Symposium. Niigata: IEEE, 2023: 1-6.
- [7] XIONG Q, WU F, LU Z, *et al.* Characterizing 3D floating gate NAND flash: observations, analyses, and implications[J]. *ACM Transactions on Storage*, 2018, 14(2): 1-31.
- [8] FENG H, WEI D, WANG Y, *et al.* Lightweight read reference voltage calibration strategy for improving 3-D TLC NAND flash memory reliability[J]. *IEEE Transactions on Device and Materials Reliability*, 2023, 23(3): 370-379.
- [9] LIU W, WU F, CHEN X, *et al.* Characterization summary of performance, reliability, and threshold voltage distribution of 3D charge-trap NAND flash memory[J]. *ACM Transactions on Storage*, 2022, 18(2): 1-25.
- [10] LUO Y, GHOSE S, CAI Y, *et al.* Heatwatch: improving 3D NAND flash memory device reliability by exploiting self-recovery and temperature awareness[C]//2018 International Symposium on High Performance Computer Architecture. Vienna: IEEE, 2018: 504-517.
- [11] TIAN H, TANG J, LI J, *et al.* Modeling retention errors of 3D NAND flash for optimizing data placement[J]. *ACM Transactions on Design Automation of Electronic Systems*, 2024, 29(4): 1-24.
- [12] LI Y, HAN G, HUANG S, *et al.* Exploiting metadata to estimate read reference voltage for 3-D NAND flash memory[J]. *IEEE Transactions on Consumer Electronics*, 2022, 69(1): 9-17.
- [13] GODA A. Recent progress on 3D NAND flash technologies[J]. *Electronics*, 2021, 10(24): 1-16.
- [14] YANG G, ZHANG M, GUO P, *et al.* High-precision error bit prediction for 3D QLC NAND flash memory: observations, analysis, and modeling[J]. *IEEE Transactions on Computers*, 2025(1): 1-13.
- [15] SAIKIA R, MAHAPATRA S. A physical model for long term data retention characteristics in 3D NAND flash memory[J]. *Solid-State Electronics*, 2023, 199(1): 1-4.
- [16] SUH Y, KYUNG H, JUNG Y, *et al.* A novel structure between WL spaces to improve the retention characteristics in 3D NAND flash[J]. *IEEE Access*, 2024, 12(1): 15050-15055.
- [17] YANG S, ZHANG M, ZHAN X, *et al.* Retention accelerated testing for 3D QLC NAND flash memory: characterization, analysis, and modeling[J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2025, 1(1): 1-4.
- [18] PARK J, YOON G, GO D, *et al.* Decomposition of charge loss mechanisms in 3-D NAND flash memory: impact of cell dimension via high-temperature long-term retention characteristics[J]. *IEEE Transactions on Electron Devices*, 2024, 71(10): 6040-6048.
- [19] IKONG Y, ZHANG M, ZHAN X, *et al.* Retention correlated read disturb errors in 3-D charge trap NAND flash memory: observations, analysis, and solutions[J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2020, 39(11): 4042-4051.
- [20] PARK S, LEE J, JANG J, *et al.* Highly-reliable cell characteristics with 128-layer single-stack 3D-NAND flash memory[C]//2021 Symposium on VLSI Technology. Kyoto: IEEE, 2021: 1-2.
- [21] YIN L, LI Y, ZHANG X, *et al.* An efficient dynamic threshold voltage detection scheme for improving 3D NAND flash reliability[J]. *IEEE Transactions on Device and Materials Reliability*, 2024, 24(4): 529-543.
- [22] JEDEC Solid State Technology Association, JEDEC Committee. Solid-State Drive (SSD) requirements and endurance test method: JESD218B. 03[S]. Arlington: JEDEC Solid State Technology Association, 2024.

(责任编辑: 王威娜 英文审核: 费伦科)